

⑪ 公開特許公報(A)

平1-154678

⑫ Int. Cl.⁴H 04 N 5/335
H 01 L 27/14

識別記号

庁内整理番号

E-8420-5C
A-8122-5F

⑬ 公開 平成1年(1989)6月16日

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 固体撮像装置

⑮ 特 願 昭62-311910

⑯ 出 願 昭62(1987)12月11日

⑰ 発 明 者 秋 元 肇 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
 ⑱ 発 明 者 大 場 信 弥 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
 ⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
 ⑳ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

固体撮像装置

2. 特許請求の範囲

1. 2次元状に配置され入射光に応じた電荷を蓄積する複数の光電変換素子と、この光電変換素子に隣接して設けられ、上記光電変換素子に蓄積された信号電荷を増幅する増幅手段と、この増幅手段の入力をリセットする手段とを有する固体撮像装置において、上記増幅手段の入力がリセットされた場合と、上記増幅手段に上記光電変換素子に蓄積された信号電荷が入力した場合の、両者の上記増幅手段の出力を蓄積する複数の蓄積手段と、この蓄積手段の出力を順次走査する走査手段とを有することを特徴とする固体撮像装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、各画素の構造の簡略化及び低雑音化により、特に開口率の大きな高感度固体撮像装置

に関する。

〔従来の技術〕

固体撮像素子は現行のテレビジョン放送で使用されている撮像用電子管なみの解像力を備えていることが必要である。このため、半導体基板上には垂直(列)方向に500個、水平(行)方向に800~1000個を配列した素子(光電変換素子)マトリックスとそれに相当する走査素子が必要となる。したがって、上記固体撮像素子は高集積化が可能なMOS大規模回路技術を用いて作られ、その構成素子としては一般にCharge Coupled Device(以下CCDとする)あるいはMOSトランジスタ等が使用されている。

以下、図面を用いて、これらの従来技術について説明する。

第6図は従来のCCD型固体撮像装置の回路図を示す図である。この図では、簡単のために画素数を2×2に仮定した場合について示してある。本図面において、611, 621, 631, 641は入射光を電荷に変換するための光電変換素子

(ホトダイオード)、66、67、68は信号電荷転送用のCCD、901、902はソースフォロア用のドライバトランジスタ、903、904はソースフォロア用の負荷トランジスタである。また、501、502、503は電流バッファ回路、504、505、506は抵抗、507、508は容量、509、510はスイッチ、511は電源である。501～511は相関二重サンプリング回路500を構成している。光がホトダイオード611～641に入射すると、各ホトダイオードには入射光量に対応した信号電荷が蓄積し、これら信号電荷は順次CCD66、67、68によってソースフォロアドライバトランジスタ901のゲートへ転送され、ソースフォロアの出力は相関二重サンプリング回路500へ入力される。さらに、相関二重サンプリング回路500は、ソースフォロアの出力について、信号電荷が寄与する前と後との出力の差分を相関二重サンプリング回路の出力とする。すなわち、初めはスイッチ509がオン、510がオフで、信号電荷が寄与する前

られている。

〔発明が解決しようとする問題点〕

第6図の従来例では、信号電荷をCCDを用いて電荷のまま出力アンプに運んでいた。そのため、CCD66、67、68による電荷転送中に雑音が入射し、この雑音電荷によってS/Nが劣化し易いという問題点があった。

特に、入射光の一部が遮光膜のすきまから漏れ込むことによって生じた雑音電荷が、CCD66、67、68中に漏れ込むことによって発生するスミア現象が大きな問題であった。

また、第7図の上記従来例では、複数ある電荷増幅用トランジスタ601のゲート下の不純物濃度や界面準位のばらつきに起因するオフセットと呼ばれる出力信号レベルのばらつきが、そのまま出力されてしまう。そのため、この利得のばらつきがまるで信号のように観測されてしまい、固定パターン雑音とよばれる雑音を発生させるという問題点があった。

そこで、本発明者等は特願昭61-245249号にて、

のソースフォロア出力を容量507に入力しておく。次にスイッチ509がオフ、510がオンで、信号電荷が寄与した後のソースフォロア出力との差分を容量508にとり出す。この種の装置については、テレビジョン学会全国大会予講集、1984年、第59頁から第60頁に論じられている。

次に、MOS型の固体撮像素子について、第7図を用いて説明する。本図は、簡単のために画素数を1つに仮定した場合を示している。611は第6図と同様の働きをするホトダイオード、601は信号増幅用のトランジスタ、604はスイッチ、605は負荷抵抗、606は電源であり、スイッチ602と電源603の2つはリセット回路を構成している。また、64は信号線である。光がホトダイオードに入射すると、ホトダイオードには入射光量に対応した信号電荷が生じ、この信号電荷はトランジスタ601によって電流に増幅され、この電流は信号線4を経て出力端に出力される。この種の装置については、電子通信学会全国大会予講集、1981年、第5-136頁に論じ

スミア現象を抑圧し、かつ雑音の小さい固体撮像装置を提供している。

この固体撮像装置の一例について、第5図を用いて説明する。第5図は本発明者等が先に提案した固体撮像装置の一例を示す回路図である。光電変換素子(ホトダイオード)1は、入射光に応じた電荷を蓄積するものであり、2次元状に配置されている。ホトダイオード1は、垂直ゲート線5に制御される垂直ゲートスイッチ2と、水平ゲート線51に制御される水平ゲートスイッチ43とを介して画素アンプ4のゲート及びリセットスイッチ3に接続している。画素アンプ4のドレインはドレイン線44に、ソースは水平信号線45、読み出しゲートスイッチ47、垂直信号線48、負荷トランジスタ49へと接続されており、これらは全体でソースフォロア回路を構成している。水平走査回路(水平レジスタ)22及び垂直走査回路(垂直レジスタ)21によって選択された1個の画素についてその動作を述べる。始めにリセットスイッチ3によってリセットが行われた後、画

画アンプ4がソースフォロア回路として動作して出力50にリセット時の出力信号を出力し、続いてホトダイオード1に蓄えられていた信号電荷が垂直ゲートスイッチ2、水平ゲートスイッチ43を介して画素アンプ4に入力し、出力50には信号電荷に対応する出力信号が出力される。これで、1個の画素の読み出しが完了する。このような装置からは、1個の画素アンプ4について、リセット時と信号電荷入力時の両者の場合の出力が時間的に連続して得られるため、さらにこれら両出力の差分をとることにより、複数の画素アンプ4の入力オフセットばらつきに起因する雑音、及び画素アンプ4の1/f雑音を容易に抑圧することができる。

しかしながら、第5図のものは基本的には各画素に4個のトランジスタを配置するため、ホトダイオードの面積が制限されてしまい、感度の向上が防げられるという問題を有している。

本発明の目的は、ホトダイオードの面積をより大きくすることのでき、より一層感度の向上を図

ためのゲートスイッチを各画素に設ける必要はなくなり、そのゲートスイッチに相当する部分だけホトダイオードの面積を大きくすることが可能である。

【実施例】

以下、本発明の一実施例を第1図により説明する。第1図は本発明の一実施例の回路図であり、2次元状に配置されたホトダイオード1は、垂直ゲート線5に制御される垂直ゲートスイッチ2を介して、画素アンプ4のゲート及びリセット線6によつて制御されるリセットスイッチ3に接続している。画素アンプ4はMOSトランジスタであり、そのドレインはドレイン線7に、ソースは垂直信号線8を介して負荷トランジスタ15のドレインに接続され、全体はソースフォロア回路を構成している。なお、負荷トランジスタ15のソースは負荷ソース線19に、ゲートは負荷ゲート線18に接続されている。上記ソースフォロア回路には、ゲート線16、17により各々制御されるゲートスイッチ9、10を介して、蓄積容量11、

ることの可能な固体撮像装置を提供することにある。

【問題点を解決するための手段】

上記目的は、2次元状に配置された各ホトダイオードと、各ホトダイオードに隣接して、該ホトダイオードに蓄積された信号電荷を増幅する手段と、該増幅手段の入力をリセットする手段を有する固体撮像装置において、該増幅手段の入力がリセットされた場合と、該増幅手段に該ホトダイオードに蓄積された信号電荷が入力した場合の、両者の該増幅手段の出力を蓄積する手段を複数有し、さらにこれらの蓄積手段の出力を順次走査する手段を有することにより、達成される。

【作用】

上記の蓄積手段には、これらの出力を順次走査する手段が付加されており、最終的な装置の出力は、この出力を順次走査する手段によつて行われる。即ち各画素の出力は、複数の画素毎に同時刻に一括して、各画素に対応する蓄積手段へと転送することができる。従つて各画素を順次走査する

12がそれぞれ設けてあり、これら蓄積容量11、12はさらに、水平ゲートスイッチ13、14を介して水平信号線20に接続されている。なお各走査線は、垂直走査回路（垂直レジスタ）21及び水平走査回路（水平レジスタ）22によつて走査される。

入射光によつて生じ、各ホトダイオード1に蓄積された信号電荷の出力は、次の手順で行われる。装置の出力の水平帰線期間の始めに、次に読み出すべき水平方向一列のホトダイオード1が選択されると、その一列に対応したリセット線6がオン、オフし、リセットスイッチ3によるリセットを行った後、次いでドレイン線7がオンすると、この一列の各画素アンプ4はソースフォロアのドライバトランジスタとして動作する。このときの各ソースフォロアの出力は、信号電荷のない場合のアンプ出力であり、ゲート線16がオン、オフすることによつてこの出力電圧はゲートスイッチ9を介して蓄積容量11へと記憶される。次いでこの水平方向一列に対応した垂直ゲート線5がオン、

オフし、信号電荷が各画素アンプ 4 のゲートに加わると、各ソースフォロアの出力は、信号電荷の量に対応した値をとる。ここでゲート線 17 をオン、オフすることによつてこの出力電圧はゲートスイッチ 10 を介して蓄積容量 12 へと記憶される。水平帰線期間内の動作は以上であり、水平走査出力期間内には、水平レジスタ 22 が各画素に対応する水平ゲートスイッチ 13、14 を順次開閉走査することにより、蓄積容量 11、12 に蓄えられていたソースフォロア出力電荷は水平信号線 20 より順次出力される。蓄積容量 11、12 に蓄えられていた出力電荷は、1 個の画素アンプ 4 についての、リセット時と信号電荷入力時の両者の場合の出力を時間的に連続して得たものであり、さらにこれら両出力の差分をとることにより、増倍のソースフォロアの入力オフセットばらつきに起因する雑音、及びソースフォロアの $1/f$ 雑音を容易に抑圧することができる。ただしここで、蓄積容量 11、12 は、ある程度以上の大きさを持つことが好ましい。これは、容量をスイッチン

グした場合、スイッチングトランジスタの熱雑音に伴う kTC 雑音、 I_{kTC} が発生することによる。その大きさは、

$$I_{kTC} = \sqrt{kTCfcf_B}$$

と表わすことができ、 k はボルツマン定数、 T は温度、 C は容量、 f_c はスイッチング周波数、

f_B は帯域幅である。ホトダイオード 1 がゲートスイッチ 2 による読み出し時にも完全に空乏化されていない場合、ホトダイオード 1 の容量、 C_{PD} についてもこの kTC 雑音が発生するが、蓄積容量 11、12 の大きさをこの C_{PD} と同じにした場合、蓄積容量 11、12 から各々発生する kTC 雑音の大きさは、ホトダイオード 1 から発生する kTC 雑音の大きさと殆んど等しくなる。一方、蓄積容量 11、12 の大きさを、この C_{PD} の 100 倍とした場合、 kTC 雑音は 10 倍に増えるが蓄積される電荷量は 100 倍に増えるため、 S/N から見た kTC 雑音は、 C_{PD} による kTC 雑音の $1/10$ に小さくなる。結局、蓄積容量 11、12 の大きさは、ソースフォロアの駆動能力を超

えない限り大きくする方が望ましい。また、ホトダイオード 1 がゲートスイッチ 2 による読み出し時にほぼ完全に空乏化されるように設計を行えば、 C_{PD} による kTC 雑音の発生は抑圧できる。

以下、本発明の他の実施例を第 2 図により説明する。第 2 図は、ゲートスイッチ 24~27、蓄積容量 28~31、水平ゲートスイッチ 32~35 を各々 4 つづつ設けたこと、画素アンプ MOS トランジスタ 23 のウェルがソースに接続されていることを除けば第 1 図と同一である。本実施例によれば、水平方向二列のホトダイオードを同時に走査する二行同時読み出しが可能であること、また画素アンプ 23 のウェルとソースが同電位なので、各画素アンプ 23 のウェルのばらつきがバックバイアス効果によるゲインのばらつきとして雑音を生じないことの 2 点の効果がある。前者については、水平帰線期間内に、水平方向に二列分の画素アンプ 23 の出力を各蓄積容量 28~31 に蓄え、水平走査期間内には水平信号線 40、41 より各々の出力を得れば良い。また後者につ

いては、特に SOI (Silicon On Insulator) 法等を用いて画素アンプ 23 のウェルを分離すると、面積の縮小が図れて好ましい。

以下、本発明の他の実施例を第 3 図により説明する。第 3 図は垂直ゲートスイッチを持たない他は第 1 図と同一である。本実施例の場合、信号電荷のある場合の画素アンプ 4 出力を蓄積容量 11 に蓄えた後に、リセットスイッチ 3 によるリセットを行つた後の画素アンプ 4 出力を蓄積容量 12 に蓄えることになる。この場合は上記リセットによるリセットレベルの毎回のばらつきによるリセット雑音が発生するが、画素部の構造はより簡単にする事ができる。

以下、本発明の他の実施例を第 4 図により説明する。第 4 図は画素アンプ 42 がバイポーラトランジスタであり、リセットスイッチがない他は第 1 図と同一である。バイポーラトランジスタは $1/f$ 雑音が大きくなり易いが、リセットスイッチが不要な分だけ画素部の構造はより簡単になる。

なお、以上の実施例において、半導体導電型の

p型とn型を反転させても、上記の実施例に準じた効果が得られることは言うまでもない。

また、上述の実施例においては 2×2 画素の固体撮像装置を例に取って示したが、一般の $n \times m$ 画素の装置についても同様であることは明らかである。

〔発明の効果〕

本発明によれば、各画素の構造の簡略化及び低雑音化により、特に開口率の大きな高感度固体撮像装置が得られる。

4. 図面の簡単な説明

第1図は本発明の一実施例を示す回路図、第2図、第3図及び第4図は本発明の他の実施例を示す回路図、第5図は先に本発明者等が提案した固体撮像装置の一例を示す図、第6図及び第7図は従来技術を示す回路図である。

1…ホトダイオード、2…垂直ゲートスイッチ、3…リセットスイッチ、4…画素アンプMOSトランジスタ、11…蓄積容量、13…水平ゲートスイッチ、15…負荷トランジスタ、42…画素

